

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-186308

(43)公明日 平成6年(1994)7月8日

(51) Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

## 技術表示箇所

審査請求 未請求 請求項の数 4(全 12 頁)

(21)出願番号 特願平4-335750

(22)出願日 平成4年(1992)12月16日

(71)出願人 000001258

川崎製鉄株式会社  
兵庫県神戸市中央  
号

(72)発明者 米田 秀樹  
東京都千代田区内幸町二丁目2番3号 川  
崎製鉄株式会社東京本社内

(72)発明者 金剛 恒  
東京都千代田区内幸町二丁目2番3号 川  
崎製鉄株式会社東京本社内

(72)発明者 山田 泰生  
東京都千代田区内幸町二丁目2番3号 川  
崎製鉄株式会社東京本社内

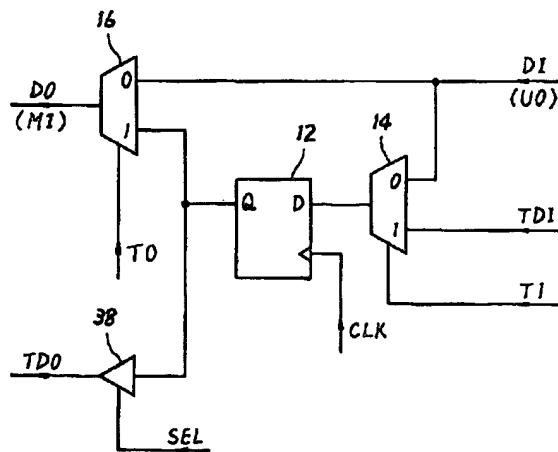
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 論理回路テスト方法及びテスト入力回路及びテスト出力回路

(57) 【要約】

【目的】 論理回路のテスト能率の向上を図る。

【構成】 入力マルチプレクサ14は、ユーザ回路出力UOと、システムバステストデータ入力TD1とを切り替え選択する。該入力マルチプレクサ14の出力は、テスト入力用レジスタ12の入力Dに接続されている。出力マルチプレクサ16は、前記ユーザ回路出力UOと、前記テスト入力用レジスタ12の出力Qとの、いずれか一方を切り替え、マクロセル入力MIとして出力する。前記ユーザ回路出力UOの論理状態を、前記テスト入力用レジスタ12に保持し、システムバステストデータ出力TDOへと読み出す。又、前記システムバステストデータ入力TD1から、テストデータを、前記テスト入力用レジスタ12に保持し、前記マクロセル入力MIへと出力する。



## 【特許請求の範囲】

【請求項1】アドレスバスとデータバスとを有するシステムバスを備え、又、予め用意されているマクロセルを用いて設計された論理回路をテスト対象とする論理回路テスト方法において、  
テスト対象論理回路中のマクロセルの入力のうち、前記システムバスに接続されていない少なくとも1つの入力に、前記システムバスを介してデータ設定可能なテスト入力用レジスタと、テスト入力モードにて通常入力側を前記テスト入力用レジスタの出力に切り替える出力マルチブレクサとを有するテスト入力回路の出力を接続しておき、  
前記マクロセルの出力のうち、前記システムバスに接続されていない少なくとも1つの出力に、前記システムバスを介してデータ読出し可能なテスト出力用レジスタを有するテスト出力回路の入力を接続しておき、  
前記システムバスを介して、前記テスト入力用レジスタへ所望のテストパターンを設定しながら、  
又、前記テスト入力回路の前記マルチブレクサを所望入力へと切り替えながら、  
前記システムバスを介して、前記テスト出力用レジスタに保持されているデータを読み出し、テストすることを特徴とする論理回路テスト方法。

## 【請求項2】請求項1において、

前記テスト入力回路が、前記通常入力側を前記テスト入力用レジスタの入力へと切り替えて接続する入力マルチブレクサを更に有し、  
又、前記テスト出力回路が、これに対応する前記マクロセルの出力と、前記テスト出力用レジスタの出力とのいずれか一方を選択切り替えして、前記マクロセルの通常出力側へ接続する出力マルチブレクサを更に備えていることを特徴とする論理回路テスト方法。

【請求項3】テスト対象論理回路中のマクロセルの入力のうち、アドレスバスとデータバスとを有するシステムバスに接続されていない入力にあって、該マクロセル入力と、該マクロセル入力に接続するユーザ回路出力との間に設けられ、  
前記ユーザ回路出力と、前記システムバスのデータ線との、いずれか一方を切り替え選択する入力マルチブレクサと、  
該入力マルチブレクサの出力に、その入力が接続されたテスト入力用レジスタと、

前記ユーザ回路出力と、前記テスト入力用レジスタの出力との、いずれか一方を切り替え選択する出力マルチブレクサとを備えたことを特徴とするテスト入力回路。

【請求項4】テスト対象論理回路中のマクロセルの入力のうち、アドレスバスとデータバスとを有するシステムバスに接続されていない出力にあって、該マクロセル出力と、該マクロセル出力に接続するユーザ回路入力との間に設けられ、

前記マクロセル出力に、その入力が接続されたテスト出力用レジスタと、  
該テスト出力用レジスタの出力と、前記マクロセル出力との、いずれか一方を切り替え選択する出力マルチブレクサと、  
前記テスト出力用レジスタに保持されるデータを前記システムバスへと出力するシステムバス出力回路とを備えたことを特徴とするテスト出力回路。

## 【発明の詳細な説明】

10 【0001】

【産業上の利用分野】本発明は、アドレスバスとデータバスとを有するシステムバスを備え、又、予め用意されているマクロセルを用いて設計された論理回路をテスト対象とする論理回路テスト方法に係り、あるいは、このような論理回路テスト方法に用いられるテスト入力回路あるいはテスト出力回路に係り、特に、テスト能率を向上することができる論理回路テスト方法及びテスト入力回路及びテスト出力回路に関する。

【0002】

20 【従来の技術】従来から、論理回路のテストを容易化するため、スキャンバス方式と呼ばれる方式が用いられている。

【0003】これは、回路中の全てのフリップフロップを、テスト時に通常の回路接続から切り離して、1つの長大なシフトレジスタに切り替えるというものである。又、この方式では、テスト中の各フリップフロップへのアクセスは、全てのフリップフロップを1つのシフトレジスタとして動作させながら行う。

【0004】例えば、全てのフリップフロップを1つの

30 シフトレジスタとして動作させながら、所望のテストパターンをシリアルに入力する。あるいは、それぞれのフリップフロップの論理状態を読み出す際には、全てのフリップフロップを1つのシフトレジスタとして動作させながら、順次それぞれの論理状態を読み出す。

【0005】一般に、論理回路は、フリップフロップやカウンタ等の順序回路と、ゲート等の組合せ回路とに分けることができる。このようなスキャンバステスト法では、テスト対象となる論理回路を、このような順序回路の部分と、組合せ回路の部分とに分けてテストするとい

40 うものである。

【0006】一方、従来から用いられている論理回路のテスト方式として、いわゆるバウンダリスキャニングレジスタを用いたものがある。

【0007】これは、ユーザ回路等のテスト対象となる論理回路の入力あるいは出力、更にはその内部に、バウンダリスキャニングレジスタを予め接続しておくというものである。又、このようなテスト対象の論理回路の入力や出力等の論理状態の設定あるいはその論理状態の読み出しの際には、前記バウンダリスキャニングレジスタを介してアクセスするというものである。

50

【0008】一般的な前記バウンダリスキャンレジスタは、主として、フリップフロップと、マルチプレクサにより構成されている。

【0009】又、その論理状態の設定の際には、個々のバウンダリスキャンレジスタ内のマルチプレクサを切り替えることによって、多数のバウンダリスキャンレジスタを、1つの長大なシフトレジスタに構成する。従つて、このようなシフトレジスタとして構成されたものに對して、シリアルなデータパターンを入力することにより、個々のバウンダリスキャンレジスタの論理状態の設定を行うことができる。

【0010】一方、個々の前記バウンダリスキャンレジスタの論理状態を読み出す際には、その内部のマルチプレクサを切り替えることによって、多数のバウンダリスキャンレジスタを1つの長大なシフトレジスタとして構成する。又、このようにシフトレジスタとして構成されたものから、シリアルにデータをシフトさせながら、個々の前記バウンダリスキャンレジスタの論理状態を順次外部へと読み出すことができる。

【0011】しかしながら、前記スキャナバス方式の論理回路テスト方法や、前記バウンダリスキャンレジスタを用いた論理回路テスト方法等では、RAM (random access memory) やビット幅が広いレジスタ等があると、能率良くテストすることができないという問題がある。又、テスト対象の論理回路が大規模になると、用いるテストパターンが増大してしまうという問題もある。

【0012】このような問題を解決するために、特開昭60-42665では、複数の機能的に独立な規格化された機能論理ブロックと、これら機能論理ブロックを独立にテストする手段と、前記機能論理ブロックを全体の論理回路から論理的に無関係にする手段と、前記機能論理ブロック以外の複合論理回路部分を独立にテストする手段とを備えた半導体集積回路をテストするという技術がある。該特開昭60-42665によれば、用いるテストパターンを比較的容易に生成し、能率良くテストを行うことが可能である。

【0013】又、特開平1-195379では、複数の論理回路部分でなる論理回路をテストする場合に、それぞれの論理回路部分の入力データ及び出力データの出入力を独立して行うようにしている。又、与えられる入力データを第1の保持手段で保持した後、第2の保持手段に転送することにより、テストの実行と平行して次のテストの入力データを第1の保持手段に与えて保持するようしている。このような前記特開平1-195379で開示されている技術によれば、テスト対象の論理回路を複数の論理回路部分に分割しながらテストする際、これを能率的に行うことが可能である。

【0014】

【発明が達成しようとする課題】しかしながら、従来から論理回路のテスト能率を向上させるべく、様々な技術

が開示されているものの、テストを能率良く行うことが困難になってきている。これは、例えば集積回路の集積度の向上等に伴って、テスト対象の論理回路がより大規模になり、又、その構成もより複雑なものとなっているためである。又、論理回路のテスト能率は、更に、より向上されなければならないという要請もある。

【0015】本発明は、前記従来の問題点を解決するべく成されたもので、よりテスト能率を向上することができる論理回路テスト方法及びテスト入力回路及びテスト出力回路を提供することを目的とする。

【0016】

【課題を達成するための手段】本願の第1発明の論理回路テスト方法は、アドレスバスとデータバスとを有するシステムバスを備え、又、予め用意されているマクロセルを用いて設計された論理回路をテスト対象とする論理回路テスト方法において、テスト対象論理回路中のマクロセルの入力のうち、前記システムバスに接続されていない少なくとも1つの入力に、前記システムバスを介してデータ設定可能なテスト入力用レジスタと、テスト入力モードにて通常入力側を前記テスト入力用レジスタの出力に切り替える出力マルチプレクサとを有するテスト入力回路の出力を接続しておき、前記マクロセルの出力のうち、前記システムバスに接続されていない少なくとも1つの出力に、前記システムバスを介してデータ読み出し可能なテスト出力用レジスタを有するテスト出力回路の入力を接続しておき、前記システムバスを介して、前記テスト入力用レジスタへ所望のテストパターンを設定しながら、又、前記テスト入力回路の前記マルチプレクサを所望入力へと切り替ながら、前記システムバスを介して、前記テスト出力用レジスタに保持されているデータを読み出し、テストすることにより、前記課題を達成したものである。

【0017】又、前記第1発明の論理回路テスト方法において、前記テスト入力回路が、前記通常入力側を前記テスト入力用レジスタの入力へと切り替えて接続する入力マルチプレクサを更に有し、又、前記テスト出力回路が、これに対応する前記マクロセルの出力と、前記テスト出力用レジスタの出力とのいずれか一方を選択切り替えして、前記マクロセルの通常出力側へ接続する出力マルチプレクサを更に備えていることにより、前記課題を達成すると共に、前記マクロセル以外のいわゆるユーザ回路のテスト能率をも、より向上させたものである。

【0018】又、本願の第2発明のテスト入力回路は、テスト対象論理回路中のマクロセルの入力のうち、アドレスバスとデータバスとを有するシステムバスに接続されていない入力にあって、該マクロセル入力と、該マクロセル入力に接続するユーザ回路出力との間に設けられ、前記ユーザ回路出力と、前記システムバスのデータ線との、いずれか一方を切り替え選択する入力マルチプレクサと、該入力マルチプレクサの出力に、その入力が

接続されたテスト入力用レジスタと、前記ユーザ回路出力と、前記テスト入力用レジスタの出力との、いずれか一方を切り替え選択する出力マルチプレクサを備えたことにより、前記課題を達成したものである。

【0019】又、本願の第3発明のテスト出力回路は、テスト対象論理回路中のマクロセルの入力のうち、アドレスバスとデータバスとを有するシステムバスに接続されていない出力にあって、該マクロセル出力と、該マクロセル出力に接続するユーザ回路入力との間に設けられ、前記マクロセル出力に、その入力が接続されたテスト出力用レジスタと、該テスト出力用レジスタの出力と、前記マクロセル出力との、いずれか一方を切り替え選択する出力マルチプレクサと、前記テスト出力用レジスタに保持されるデータを前記システムバスへと出力するシステムバス出力回路とを備えたことにより、前記課題を達成したものである。

【0020】

【作用】前述の如く、近年、集積回路に組み込む論理回路等は、より大規模化していると共に、その構成もより複雑なものとなっている。

【0021】例えば、1つの集積回路内に、CPU (central processing unit) や、該CPUにてアクセスされるRAMや、ROM (read only memory) 等のメモリやI/O (input / output) 等の周辺回路をも組み込んだものも提供されている。このような集積回路は、CPUを含むマイクロコンピュータシステムを1つに組み込んだものということができる。

【0022】又、CPUが共に組み込まれていても、あるいは組み込まれていなくても、一般的なコンピュータシステムで多く用いられている、アドレスバスとデータバスとを有するシステムバスを備えた論理回路が組み込まれた集積回路も多く提供されている。

【0023】本発明は、このように、システムバスを備え、又、予め用意されているマクロセルを用いて設計された論理回路に特に着目し、このような論理回路のテスト能率を向上すべく成されたものである。即ち、本発明は、テスト対象となる論理回路自体の動作のために備えられたシステムバスを、その論理回路のテストにも活用するという点に着目して成されたものである。

【0024】前述の如く、テスト対象となる論理回路が大規模化すると、そのテストパターンも増大してしまうという問題が従来からある。このようにテストパターンが増大してしまうと、その設定や読み出しに時間がかかり、テスト能率を低下させてしまう。

【0025】このような問題を解決するために、本発明においては、テストパターンの設定等に、テスト対象となる論理回路自体の動作のために備えられたシステムバスを活用するようにしている。即ち、従来シリアルに1ビットずつシフトさせながら設定あるいは読み出していったテストパターンを、本発明においては、システムバス

を用いて、可能な範囲でパラレルに設定するというものである。従って、本発明によれば、能率良くテストパターンの設定及び読み出しが可能であり、テスト能率を向上させることができる。

【0026】又、本発明は、論理回路の設計の際には、予め用意されているマクロセルを用いるということが、近年多くなっていることに着目して成されたものである。即ち、前述のようにシステムバスを活用してテストするために、前記システムバスに接続されていないテスト対象論理回路中のマクロセルの入力や出力に、所定のテスト入力回路やテスト出力回路を予め接続しておくようしている。

【0027】このようなテスト入力回路やテスト出力回路は、これらが接続されているマクロセルの入力や出力の論理状態の設定や読み出しを、より効果的に前記システムバスを介して行うためのものである。本発明では、このようなテスト入力回路やテスト出力回路を利用することで、前述のようなシステムバスを活用するテストをより能率良く行えるようにしている。

【0028】なお、本発明はこれに限定されるものではないが、このようにシステムバスを活用して論理回路のテストを行うようにする際、該システムバスをアクセス可能なCPUにて実行される、所定のテストプログラムにて、論理回路のテストをソフト的に行えるように配慮することも可能である。このように、テストプログラムにて論理回路のテストを行えるようにすることにより、例えば、対象となる論理回路を、その電源立上げ時に、自動的に行なうことも可能である。

【0029】又、本発明はこれに限定されるものではないが、例えば後述する第3実施例の如く、本発明に係る前記テスト入力回路や前記テスト出力回路自体についても、テスト対象に含めるように配慮することも可能である。これによって、前記テスト入力回路や前記テスト出力回路を、テスト対象の論理回路に共に組み込むようにした場合にも、その全般的なテストの信頼性をより向上させることができる。

【0030】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0031】図1は、前記第1発明が適用された第1実施例のテスト入力回路の論理回路図である。

【0032】この図1に示されるテスト入力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、前記第2発明のテスト入力回路から、前記入力マルチプレクサを省略したものとなっている。

【0033】この図1に示されるテスト入力回路は、主として、テスト入力用レジスタ12と、出力マルチプレクサ16とにより構成されている。又、この図1のテスト入力回路には、テスト入力回路入力DIと、システム

50

バステストデータ入力TD Iと、クロック信号CLKと、テストモード信号T 0が入力されている。又、このようなテスト入力回路において、テスト入力回路出力D Oが outputされる。

【0034】当該テスト入力回路は、あるマクロセル(本実施例ではマクロコアとなっている)と、所定のユーザ回路との間の信号線の配線上に設けられるものである。特に、前記テスト入力回路入力は、前記ユーザ回路の出力U Oに接続される。又、前記テスト入力回路出力D Oは、前記ユーザ回路の入力M Iに接続される。

【0035】前記テスト入力用レジスタ12は、一般的なD型フリップフロップである。又、前記出力マルチプレクサ16は、前記テストモード信号T 0が“0(L状態)”の場合に、前記テスト入力回路入力D Iを、前記テスト入力回路出力D Oへと選択接続する。一方、該出力マルチプレクサ16は、前記テストモード信号T 0が“1(H状態)”の場合に、前記テスト入力用レジスタ12の出力Qを、前記テスト入力回路出力D Oへと選択接続する。又、該テスト入力用レジスタ12のD入力は、前記システムバステストデータ入力TD Iが入力されている。

【0036】このような構成の前記第1実施例のテスト入力回路によれば、所定のシステムバスから、前記システムバステストデータ入力TD Iを経由して、所望のテストデータを、前記クロック信号CLKの立上りにて、前記テスト入力用レジスタ12へと保持することができる。又、このようなテストデータを、前記出力マルチプレクサ16を介して前記マクロコア入力M Iへと入力することができる。この際、該出力マルチプレクサ16は、“1”的前記テストモード信号T 0が入力され、前記出力Qを前記テスト入力回路出力D Oへと選択接続する。

【0037】図2は、前記第1発明及び前記第2発明が適用された第2実施例のテスト入力回路の論理回路図である。

【0038】この図2に示される前記テスト入力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト入力回路は、前記第1発明のテスト入力回路が適用されたものである。

【0039】本第2実施例は、前記第1実施例と同様の入出力信号に加え、システムバステストデータ出力TD Oの出力信号と、選択信号SELの入力信号と、テストモード信号T 1の入力信号とを有する。又、本第2実施例は、前記第1実施例の構成に加え、入力マルチプレクサ14と、トライステートバッファ38とを有している。

【0040】前記入力マルチプレクサ14は、前記テスト入力用レジスタ12の入力Dへと、前記テスト入力回路入力D I又は前記システムバステストデータ入力TD Iを選択接続する。即ち、前記テストモード信号T 1が

“0”的場合に、前記テスト入力用レジスタ12の前記入力Dへと、前記テスト入力回路入力D Iを選択接続する。又、前記選択信号SELが“1”的場合には、前記入力Dへと、前記システムバステストデータ入力TD Iを選択接続する。

【0041】又、前記システムバステストデータ出力TD Oは、所定のシステムバスへ、テストデータを出力するものである。又、前記選択信号SELは、本第2実施例のテスト入力回路の前記テスト入力用レジスタ12から、前記システムバスへと、テストデータを出力する際に、“1”となる信号である。

【0042】前記トライステートバッファ38は、前記選択信号SELが“0”となると、その出力がハイインピーダンス状態となる。一方、該トライステートバッファ38の出力は、前記選択信号SELが“1”となると、通常のバッファゲートとして動作する。即ち、その入力の論理状態を、その出力へとそのまま出力する。

【0043】このような本第2実施例のテスト入力回路によれば、前記第1実施例が有している機能に加え、前記ユーザ回路出力U Oを、前記システムバスを介してモニタする機能をも提供することができる。即ち、前記テストモード信号T 1を“1”とすることで、前記ユーザ回路出力U Oのテストデータを、前記テスト入力回路入力D Iのテストデータとして、前記テスト入力用レジスタ12へと保持することができる。又、該テスト入力用レジスタ12に保持されたテストデータは、前記選択信号SELを“1”とすることで、前記システムバステストデータ出力TD Oから、所定のシステムバスへと読み出しほりすることができる。

【0044】図3は、前記第1発明及び前記第2発明が適用されたテスト入力回路の論理回路図である。

【0045】この図3に示される前記テスト入力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト入力回路は、前記第2発明のテスト入力回路が適用されたものである。

【0046】本第3実施例は、前記第2実施例と同様の入出力信号を有する。又、本第3実施例は、前記第2実施例と同様の構成要素、即ち論理ゲートを有する。しかしながら、本第3実施例の配線接続は、前記第2実施例のものとは一部異なる。即ち、本第3実施例においては、前記入力マルチプレクサ14の一方の入力へと、前記出力マルチプレクサ16の出力が配線接続されている。

【0047】このような構成の本第3実施例によれば、前記第2実施例と同様の機能を備えることができる。例えば、前記テストモード信号T 0を“0”とし、且つ、前記テストモード信号T 1を“0”とすることで、前記出力マルチプレクサ16及び前記入力マルチプレクサ14を経由して、前記ユーザ回路出力U Oである前記テスト入力回路入力D Iの論理状態を、前記テスト入力用レ

ジスタ12へと保持することができる。又、該テスト入力用レジスタ12に保持されたものは、前記トライステートバッファ38を経由して、所定のシステムバスへと読み出すことが可能である。又、このようにして読み出されるテストデータは、最終出力側の前記出力マルチブレクサ16の出力を経由しているので、このような読み出しによって、当該テスト入力回路自身の自己診断を行うことも可能である。

【0048】図4は、前記第1発明及び前記第2発明が適用された第4実施例のテスト入力回路の論理回路図である。

【0049】この図4のテスト入力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト入力回路は、前記第2発明のテスト入力回路が適用されたものである。本第4実施例は、前記第3実施例の入出力信号と同様のものに加え、更に、シフトデータ入力SIの入力信号と、シフトデータ出力SOの出力信号とを有している。又、本第4実施例の構成は、前記第3実施例の構成とは一部異なり、第1入力マルチブレクサ14aと、第2入力マルチブレクサ14bとを備えている。

【0050】前記第2入力マルチブレクサ14bは、前記シフトデータ入力SIと、前記システムバステストデータ入力TDIとを、前記第1入力マルチブレクサ14aの一方の入力へと選択接続するものである。即ち、該第2入力マルチブレクサ14bは、前記テストモード信号T0が“0”となると、前記シフトデータ入力SIを前記第1入力マルチブレクサ14aの一方の入力へと選択接続する。一方、前記テストモード信号T0が“1”となると、前記システムバステストデータ入力TDIを、前記第1入力マルチブレクサ14aの一方の入力へと選択接続する。

【0051】又、前記第1入力マルチブレクサ14aは、前記出力マルチブレクサ16の出力と、前記第2入力マルチブレクサ14bの出力とを、前記テスト入力用レジスタ12の前記入力Dへと選択接続する。即ち、該第1入力マルチブレクサ14aは、前記テストモード信号T1が“0”となると、前記出力マルチブレクサ16の出力を、前記テスト入力用レジスタ12の前記入力Dへと選択接続する。一方、前記テストモード信号T1が“1”となると、前記第2入力マルチブレクサ14bの出力を、前記テスト入力用レジスタ12の前記入力Dへと選択接続する。

【0052】なお、前記テスト入力用レジスタ12の出力Qは、前記出力マルチブレクサ16の一方の入力へと入力されていると共に、前記シフトデータ出力SOの出力信号として出力をされている。

【0053】このような本第4実施例においては、前記シフトデータ入力SIと前記シフトデータ出力SOに関して、他の同様のテスト入力回路と共に、シフトレジス

タが構成されるようになっている。即ち、前段のテスト入力回路の前記シフトデータ出力SOと、当段の前記シフトデータ入力SIとを接続する。又、当段の前記シフトデータ出力SOは、次段の前記シフトデータ入力SIと配線接続する。このようにシリアルに接続することで、前記テストモード信号T0を“0”とし、且つ、前記テストモード信号T1を“1”とすることで、前記クロック信号CLKと同期して、複数の当該テスト入力回路において、テストデータをシリアルに順次シフトすることができる。

【0054】従って、本実施例においては、所定のシステムバスから、前記第2入力マルチブレクサ14b及び前記第1入力マルチブレクサ14aを介して、テストデータを前記テスト入力用レジスタ12へと保持することができる。又、該テストデータを、前記出力マルチブレクサ16を経由して、前記マクロコア入力MIへと入力することができる。

【0055】又、前記ユーザ回路出力UOの論理状態は、前記出力マルチブレクサ16及び前記第1入力マルチブレクサ14aを経由して、前記テスト入力用レジスタ12へと保持することができる。又、該テスト入力用レジスタ12に保持されたものは、前記シフトデータ出力SOによって、他のテスト入力回路を順次経由しながら、シリアルにシフトしながら順次読み出すことが可能である。

【0056】なお、本第4実施例において、前記テストモード信号T0と、前記テストモード信号T1と、全体の動作状態との関係は、次の通りである。

【0057】(1) 前記テストモード信号T0=0；前記テストモード信号T1=0のとき。前記テスト入力回路入力DIに接続されるユーザ回路と、前記テスト入力回路出力DOに接続される前記マクロコアとの接続は、直接的な接続となる。従って、前記ユーザ回路及び前記マクロコアを含むテスト対象となる論理回路は、通常の動作を行う。この際、前記クロック信号CLKの立上りにて、前記テスト入力回路入力DI、即ち前記ユーザ回路出力UOの論理状態を、前記テスト入力用レジスタ12に取り込むことができる。

【0058】(2) 前記テストモード信号T0=0；前記テストモード信号T1=1のとき。前記テスト入力回路入力DIと前記テスト入力回路出力DOとは、直接接続される。この際、前記シフトデータ入力SI及び前記シフトデータ出力SOに関してシフトレジスタとして構成される複数の当該テスト入力回路において、前記クロック信号CLKの立上りにて、テストデータを順次シフトすることができる。シフトされるテストデータは、それぞれの前記テスト入力回路の前記テスト入力用レジスタ12に保持される。

【0059】(3) 前記テストモード信号T0=1；前記テストモード信号T1=0のとき。前記マクロコア入

力M Iへは、前記テスト入力回路出力D Oとして、前記テスト入力用レジスタ1 2に保持されているものが出力される。一方、前記テスト入力回路入力D Iは無視される。なお、前記クロック信号CLKの立上りでも、前記テスト入力用レジスタ1 2の内容は変化しない。

【0060】(4) 前記テストモード信号T 0=1; 前記テストモード信号T 1=1のとき。前記マクロコア入力M Iへは、前記テスト入力回路出力D Oとして、前記テスト入力用レジスタ1 2に保持されている内容が出力される。この際、前記テスト入力回路入力D Iは無視される。前記クロック信号CLKの立上りでは、前記システムバステストデータ入力T D Iから、所定のシステムバスを介したテストデータの取り込みが行われる。

【0061】図5は、前記第1発明が適用された第5実施例のテスト出力回路の論理回路図である。

【0062】この図5の前記テスト出力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト出力回路は、前記第3発明のテスト出力回路から、その前記出力マルチブレクサが省略されたものである。該テスト出力回路は、主として、テスト出力用レジスタ3 2と、トライステートバッファ3 8により構成されている。

【0063】又、該テスト出力回路は、テスト出力回路入力D Iの入力信号と、テスト出力回路出力D Oの出力信号と、システムバステストデータ出力T D Oの出力信号と、クロック信号CLKの入力信号と、選択信号S E Lの入力信号とを有している。なお、前記テスト出力回路入力D Iは、テスト対象となる論理回路中のマクロコア出力M Oともなっている。又、前記テスト出力回路出力D Oは、テスト対象となる論理回路中のユーザ回路入力U Iともなっている。又、前記システムバステストデータ出力T D Oは、所定のシステムバスに接続されている。

【0064】このような本第5実施例のテスト入力回路において、前記テスト出力用レジスタ3 2の入力D Iには、前記テスト出力回路入力D Iが入力されている。前記テスト出力用レジスタ3 2の出力Qと、前記トライステートバッファ3 8の入力とは接続されている。又、該トライステートバッファ3 8の出力は、前記システムバステストデータ出力T D Oとなっている。

【0065】このような構成の本第5実施例においては、前記テスト出力回路入力D Iとして入力される前記マクロコア出力M Oのその論理状態を、前記クロック信号CLKの立上りにて、前記テスト出力用レジスタ3 2へと保持することができる。又、該出力用レジスタ3 2に保持されたものは、前記選択信号S E Lを“1”とすることで、所定のシステムバスから読み出すことが可能である。

【0066】なお、マクロコアの出力はクロックを停止させれば変化しないので、前記テスト出力回路入力D I

の論理状態を保持する前記テスト出力用レジスタ3 2は必ずしも必要でない。前記テスト出力回路入力D Iを、前記トライステートバッファ3 8の入力へと、直接入力するようにしてもよい。

【0067】図6は、前記第1発明及び前記第3発明とが適用された第6実施例のテスト出力回路の論理回路図である。

【0068】この図6に示されるテスト出力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト出力回路は、前記第3発明のテスト出力回路を適用したものである。

【0069】本第6実施例は、前記第5実施例の入出力信号に加え、テストモード信号T 2を有している。又、本第6実施例の構成は、前記第5実施例の構成に加え、出力マルチブレクサ3 6を備えたものとなっている。

【0070】該出力マルチブレクサ3 6は、前記テストモード信号T 2に従って、前記テスト出力回路入力D I又は前記テスト出力用レジスタ3 2の出力Qを、前記テスト出力回路出力D Oへと選択接続するものである。即ち、前記テストモード信号T 2が“0”的場合、前記テスト出力回路入力D Iを前記テスト出力回路出力D Oへと選択接続する。一方、前記テストモード信号T 2が“1”的場合には、前記テスト出力用レジスタ3 2の前記出力Qを、前記テスト出力回路出力D Oへと選択接続する。

【0071】このような構成の本第6実施例においては、前記第5実施例と同様の機能を有する。又、本第6実施例によれば、前記テスト出力用レジスタ3 2に保持されるものを、前記出力マルチブレクサ3 6を介して、前記テスト出力回路出力D Oとして出力することが可能である。

【0072】図7は、前記第1発明及び前記第3発明が適用された第7実施例のテスト出力回路の論理回路図である。

【0073】この図7に示されるテスト出力回路は、前記第1発明の論理回路テスト方法にも用いることができるものである。又、該テスト出力回路は、前記第3発明のテスト出力回路が適用されたものである。

【0074】本第7実施例は、前記第6実施例の入出力信号に加え、更に、シフトデータ入力S Iの入力信号と、シフトデータ出力S Oの出力信号と、テストモード信号T 3の入力信号とを有する。又、本第7実施例の構成は、前記第6実施例の構成に加え、更に、入力マルチブレクサ3 4を備えたものである。

【0075】前記入力マルチブレクサ3 4は、前記テスト出力回路入力D Iと、前記シフトデータ入力S Iとを、前記テスト出力用レジスタ3 2の入力Dへと選択接続するものである。即ち、該入力マルチブレクサ3 4は、前記テストモード信号T 3が“0”となると、前記テスト出力回路出力D Iを、前記テスト出力用レジスタ

32の前記入力Dへと選択接続する。一方、前記テストモード信号T3が“1”となると、前記シフトデータ入力S1を、前記テスト出力用レジスタ32の前記入力Dへと選択接続する。

【0076】なお、前記テスト出力用レジスタ32の出力Qは、前記シフトデータ出力SOともなっている。

【0077】このような本第7実施例の構成によれば、前記第6実施例の機能に加え、前記シフトデータ入力S1と前記シフトデータ出力SOに関して、本第7実施例の複数のテスト出力回路をシフトレジスタの如く接続することができるという機能をも備えることができる。これによって、前記クロック信号CLKに同期して、複数の本第7実施例のテスト出力回路それぞれの前記テスト出力用レジスタ32に記憶されるデータを、順次シフトすることが可能である。

【0078】従って、本第7実施例では、前記テスト出力回路入力DIとして入力された前記マクロコア出力MOを、一旦前記テスト出力用レジスタ32に保持した後、前記システムバステストデータ出力TDOや、前記シフトデータ出力SOへと出力し、読み出すことができる。又、前記テスト出力回路入力DIとして前記マクロコア出力MOから過去に入力されたデータや、前記シフトデータ入力SIとして入力されたデータを、一旦前記テスト出力用レジスタ32に保持した後に、前記ユーザ回路入力UIへと、前記テスト出力回路出力DOとして出力することも可能である。

【0079】図8は、前記第1発明の第8実施例に用いるテスト出力回路の回路図である。又、図9は、前記第1発明及び前記第2発明を適用したテスト対象となる論理回路の回路図である。

【0080】前記図9においては、前記第1発明の論理回路テスト方法が適用され、又、前記第2発明が適用された前記第4実施例のテスト入力回路と共に、前記図8に示されるテスト出力回路が用いられている。

【0081】前記図8のテスト出力回路は、前記入力マルチブレクサ34と、前記テスト出力用レジスタ32により構成されている。又、該テスト出力回路は、テスト出力回路入力DIと、テスト出力回路出力DOと、テストモード信号T4と、シフトデータ入力SIと、シフトデータ出力SOと、クロック信号CLKとを有している。

【0082】このような前記図8に示されるテスト出力回路においては、前記シフトデータ入力SI及び前記シフトデータ出力SOに関して、複数で、シフトレジスタとして構成することができる。又、それぞれのテスト出力回路が備える前記テスト出力用レジスタ32に保持されるデータを、前記入力マルチブレクサ34を介して、前記テスト出力回路出力DOとして前記ユーザ回路入力UIへと入力することができる。

【0083】この図8のテスト出力回路において、前記

テスト出力用レジスタ32は、前記テストモード信号T2の論理状態に拘らず、前記クロック信号CLKの立上がりにて、前記シフトデータ入力SIの論理状態を保持する。本テスト出力回路においては、前記シフトデータ入力SI及び前記シフトデータ出力SOに関して、複数がシフトレジスタとして構成され、前記クロック信号CLKの立上がりにて、データを順次シリアルにシフトする。

【0084】又、本テスト出力回路において、前記テストモード信号T2が“0”的きには、前記テスト出力回路入力DIを、前記テスト出力回路出力DOとして出力する。即ち、前記マクロコア出力MOは、前記ユーザ回路入力UIへとそのまま出力される。一方、前記テストモード信号T2が“1”的きには、前記テスト出力回路入力DIは無視される。又、このとき、前記テスト出力用レジスタ32に保持されている論理状態は、その出力Qから前記入力マルチブレクサ34を経由して、前記テスト出力回路出力DOとして出力される。

【0085】次に、前記図9に示される如く、本第8実施例の論理回路には、マクロセル60が含まれている。

20 20 該マクロセル60は、合計3個のテスト入力回路10と、合計3個のテスト出力回路30aと、マクロコア50と、マルチブレクサ64とを備えている。前記テスト入力回路10は、前記第4実施例のものである。又、前記テスト出力回路30aは、前記図8に示したものである。

【0086】前記マクロセル60には、当該マクロセル60と共に所定の論理回路を構成する、図示されないユーザ回路との入出力信号が接続されている。例えば、ユーザ回路出力UO1～UO3、USOが入力されている。又、ユーザ回路入力UI1～UI3、USIが出力されている。

30 30 【0087】又、当該マクロセル60は、所定のシステムバスからのシステムバス入力SB1を入力している。

又、このようなシステムバスへは、システムバス出力SB2を出力している。前記マルチブレクサ64は、前記システムバス出力SB2へと、前記マクロコア50からのバスを接続するか、あるいは、前記テスト出力回路30aそれぞれに入力されているものを接続するかを、テストモード信号T4に従って選択するものである。前記

40 40 テストモード信号T4が“0”的きの場合、前記マクロコア50からのバスが選択接続される。一方、前記テストモード信号T4が“1”的きの場合、前記テスト出力回路30aそれぞれに入力されているものが選択接続される。

【0088】この図9においては、まず、前記ユーザ回路からの前記ユーザ回路出力USOのテストデータを、合計3個の前記テスト入力回路10及び合計3個の前記テスト出力回路30aそれぞれの、前記シフトデータ入力及び前記シフトデータ出力SOに関して、順次シリアルにシフトすることができる。又、最終的には、前記ユーザ回路入力USIとして読み出すことが可能である。

【0089】従って、本第8実施例では、前記テスト入力回路10及び前記テスト出力回路30aそれぞれが備える前記テスト入力用レジスタ12や前記テスト出力用レジスタ32へのテストデータの設定を、前記ユーザ回路出力USOから行うことができる。又、前記テスト入力回路10それぞれに設定されたテストデータは、前記マクロコア50へと出力することができる。

【0090】更に、前記テスト出力回路30aそれぞれに設定されたテストデータは、それぞれ、ユーザ回路入力UI1～UI3へと出力することができる。又、前記ユーザ回路出力UO1～UO3の論理状態は、前記テスト入力回路10がそれぞれ備える前記テスト入力用レジスタ12に一旦保持した後、このように順次シリアルにシフトすることで、前記ユーザ回路入力USIから読み出すことができる。

【0091】このように、本第8実施例では、論理回路のテスト中に、前記マクロコア50へ入力するテストデータを容易に設定することができる。更に、本第8実施例では、当該マクロセル60に係る前記ユーザ回路の入出力信号、即ち前記ユーザ回路出力UO1～UO3や、前記ユーザ回路入力UI1～UI3を、前記テスト入力回路10にて読み出したり、前記テスト出力回路30aにて設定することができ、このような点でもテスト能率を向上することができる。

【0092】図10は、前記第1発明、前記第2発明及び前記第3発明が適用された、テスト対象となる論理回路の一部の論理回路図である。

【0093】この図10に示されるマクロセル60は、テスト対象となる論理回路の一部となっている。該論理回路においては、前記第1発明の論理回路テスト方法が適用されている。又、前記マクロセル60は、前記第2発明が適用された前記第4実施例のテスト入力回路と、前記第3発明が適用された前記第7実施例のテスト出力回路とが用いられている。

【0094】まず、この図10の前記マクロセル60は、合計3個のテスト入力回路10と、合計3個のテスト出力回路30bと、マクロコア50と、マルチブレクサ64とを備える。前記テスト入力回路10は、前記図4に示されるものである。前記テスト出力回路30bは、前記図7に示されるものである。このような前記マクロセル60に入出力される信号は、前記第8実施例と同様である。

【0095】本第9実施例では、前記第8実施例の機能に加え、前記第7実施例のテスト出力回路を用いていることにより、特に、前記ユーザ回路入力UI1～UI3に関する、ユーザ回路のテストに関する機能が強化されている。即ち、本第9実施例では、それぞれの前記シフトデータ入力SIや前記シフトデータ出力SOによって順次シフトされ、前記テスト出力用レジスタ32へと保持されるテストデータを、前記ユーザ回路入力UI1～

UI3へと出力することができる。従って、ユーザ回路のテストをより能率良く行うことが可能である。

【0096】以上説明した通り、前記第1実施例～前記第9実施例によれば、論理回路の動作テストを、より能率良く行うことができる。特に、テスト対象となる論理回路中で、前記第1実施例～第9実施例に係る、マクロセルに関するテストの能率を、より向上することができる。又、前記第2実施例～第4実施例では、前記マクロセルに入力される、前記ユーザ回路の論理状態を、効果的にモニタすることができ、効果的なテストを行うことが可能である。又、特に、前記第6実施例及び第7実施例では、前記マクロセルから前記ユーザ回路への出力の論理状態を、容易に設定することができ、テスト能率を向上させることができると可能である。

【0097】

【発明の効果】以上説明した通り、本発明によれば、論理回路のテスト能率の向上を図ることができるという優れた効果を得ることができる。

【図面の簡単な説明】

20 【図1】本願の第1発明の論理回路テスト方法にも用いられる第1実施例のテスト入力回路の論理回路図  
【図2】前記第1発明及び本願の第2発明のテスト入力回路が適用された第2実施例のテスト入力回路の論理回路図

【図3】前記第1発明及び前記第2発明が適用された第3実施例のテスト入力回路の論理回路図

【図4】前記第1発明及び前記第2発明が適用された第4実施例のテスト入力回路の論理回路図

【図5】前記第1発明及び本願の第3発明のテスト出力回路が適用された第5実施例のテスト出力回路の論理回路図

【図6】前記第1発明及び前記第3発明が適用された第6実施例のテスト出力回路の論理回路図

【図7】前記第1発明及び前記第3発明が適用された第7実施例のテスト出力回路の論理回路図

【図8】前記第1発明及び前記第2発明が適用された第8実施例のテスト対象となる論理回路に用いられているテスト出力回路の論理回路図

【図9】前記第8実施例の論理回路の一部の論理回路図

40 【図10】前記第1発明及び前記第2発明及び前記第3発明が適用された第9実施例のテスト対象となる論理回路の一部の論理回路図

【符号の説明】

10…テスト入力回路

12…テスト入力用レジスタ

14…入力マルチブレクサ（テスト入力回路用）

14a…第1入力マルチブレクサ（テスト入力回路用）

14b…第2入力マルチブレクサ（テスト入力回路用）

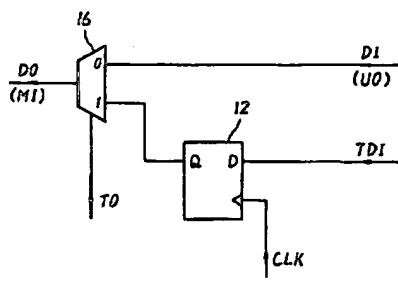
16…出力マルチブレクサ（テスト入力回路用）

50 30a、30b…テスト出力回路

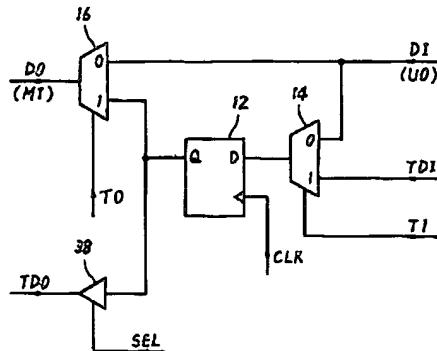
3 2 … テスト出力用レジスタ  
 3 4 … 入力マルチブレクサ (テスト出力回路用)  
 3 6 … 出力マルチブレクサ (テスト出力回路用)  
 3 8 … トライステートバッファ (テスト出力回路用)  
 5 0 … マクロコア  
 6 0 … マクロセル  
 6 4 … マルチブレクサ  
 M I … マクロコア入力  
 M O … マクロコア出力

DI … テスト入力回路又はテスト出力回路の入力  
 DO … テスト入力回路又はテスト出力回路の出力  
 TD I … システムバステストデータ入力  
 TDO … システムバステストデータ出力  
 SI … シフトデータ入力  
 SO … シフトデータ出力  
 CLK … クロック信号  
 T 0 ~ T 3 … テストモード信号  
 SEL … 選択信号

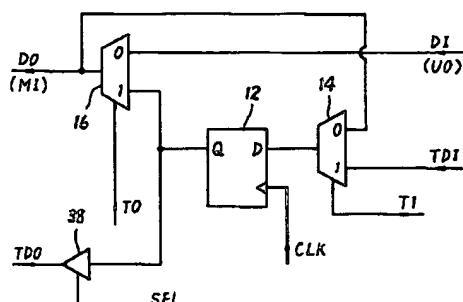
【図1】



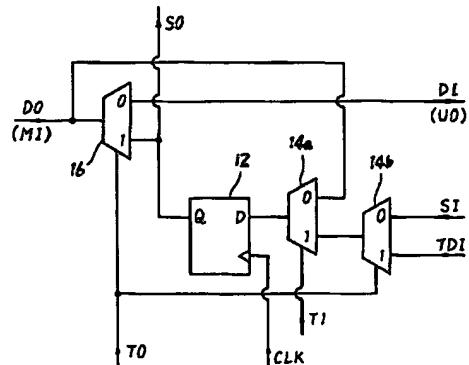
【図2】



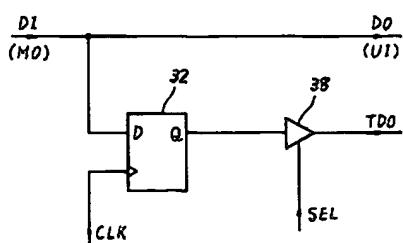
【図3】



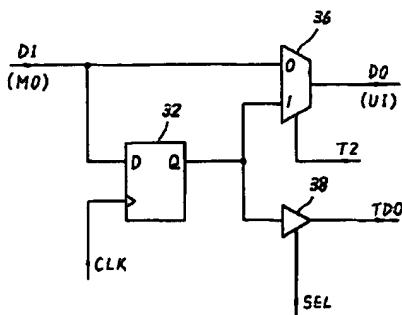
【図4】



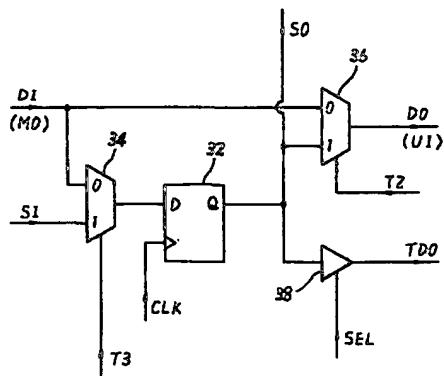
【図5】



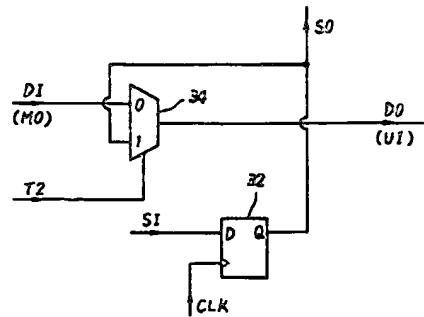
【図6】



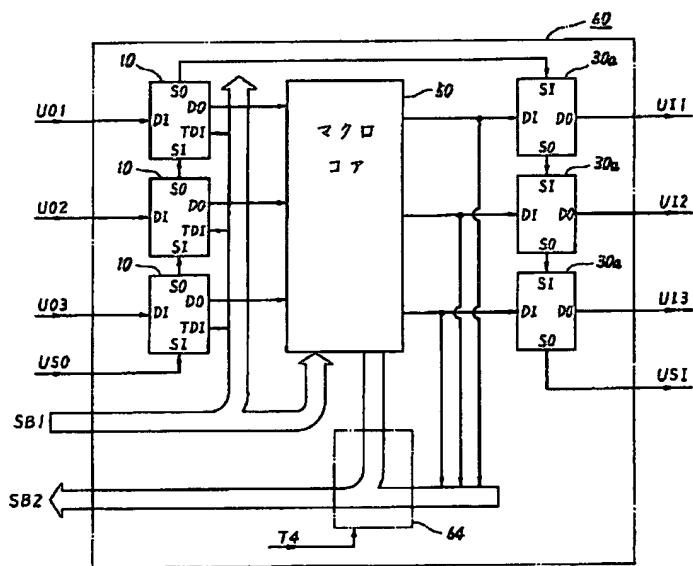
[图7]



〔図8〕



【图9】



【図10】

